

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-254969

(43)Date of publication of application : 01.10.1996

(51)Int.Cl.

G09G 3/36
G02F 1/133

(21)Application number : 07-058983

(71)Applicant : HITACHI LTD

(22)Date of filing : 17.03.1995

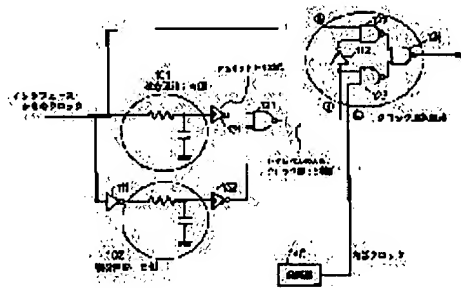
(72)Inventor : IGARASHI YOICHI

(54) LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PURPOSE: To prevent a DC voltage from being impressed on a liquid crystal layer by selecting and outputting an internal clock when the stoppage of the clock to be input from a main computer is detected.

CONSTITUTION: When the output of an integration circuit A101 or an integration circuit B102 is fixed to an H level, the output of an inveter 131 or an inverter 132 is turned to an L level and since the L level is inputted to the input terminal of one side of a NAND circuit 121, the NAND circuit 121 is fixed to the H level. When the NAND circuit 121 is fixed to the H level, the output of an inverter 112 is turned to the L level and since the L level is inputted to the input terminal of one side of a NAND circuit 122, the output of the NAND 122 is fixed to the H level and then the clock from the main computer is stopped. Moreover, when the NAND circuits 121, 122 are fixed to the H levels, the internal clock from an oscillator 140 is outputted through NAND circuits 123, 124.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-254969

(43)公開日 平成8年(1996)10月1日

(51)Int.Cl. ⁸	識別記号	片内整理番号	F I	技術表示箇所
G 0 9 G 3/36			G 0 9 G 3/36	
G 0 2 F 1/133	5 5 0		G 0 2 F 1/133	5 5 0

審査請求 未請求 請求項の数5 OL (全 15 頁)

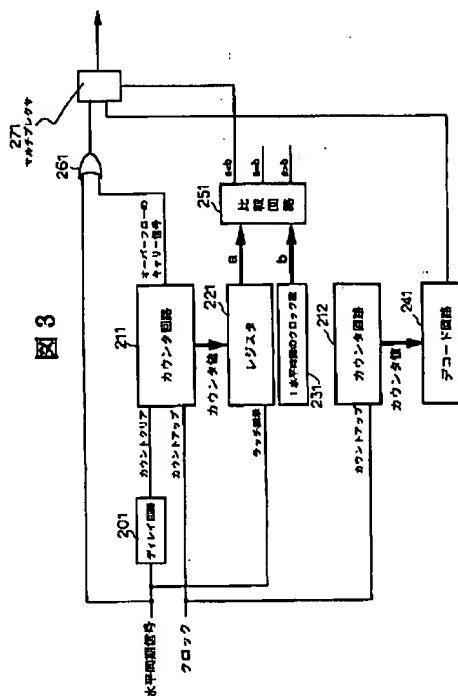
(21)出願番号	特願平7-58983	(71)出願人	000005108 株式会社日立製作所 東京都千代田区神田駿河台四丁目6番地
(22)出願日	平成7年(1995)3月17日	(72)発明者	五十嵐 陽一 千葉県茂原市早野3300番地 株式会社日立 製作所電子デバイス事業部内
		(74)代理人	弁理士 秋田 収喜

(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【目的】 本体コンピュータから入力される制御信号が、停止あるいは異常入力となった場合に、液晶層に直流電圧が印加されるのを防止することが可能となる液晶表示装置を提供する。

【構成】 本体コンピュータから制御信号が入力される液晶表示装置において、内部制御信号を発生する内部制御信号発生回路と、本体コンピュータから入力される制御信号の停止、あるいは、異常入力を検出する制御信号停止・異常入力検出手段と、本体コンピュータから入力される制御信号と内部制御信号発生回路から出力される内部制御信号とが入力され、常時本体コンピュータから入力される制御信号を選択して出力し、制御信号停止・異常入力検出手段で本体コンピュータから入力される制御信号の停止、あるいは、異常入力を検出したときに内部制御信号を選択して出力する内部制御信号選択手段とを備える。



【特許請求の範囲】

【請求項1】 本体コンピュータから入力されるクロックに基づき、液晶層に印加する電圧を制御して液晶表示パネルに画像を表示する表示制御手段を具備する液晶表示装置において、前記液晶表示制御手段が、内部クロックを発生する内部クロック発生回路と、本体コンピュータから入力されるクロックの停止を検出するクロック停止検出手段と、前記本体コンピュータから入力されるクロックと前記内部クロック発生回路から出力される内部クロックとが入力され、常時前記本体コンピュータから入力されるクロックを選択して出力し、前記クロック停止検出手段で前記本体コンピュータから入力されるクロックの停止を検出したときに内部クロックを選択して出力する内部クロック選択手段とを備えることを特徴とする液晶表示装置。

【請求項2】 本体コンピュータから入力される制御信号に基づき、液晶層に印加する電圧を制御して液晶表示パネルに画像を表示する表示制御手段を具備する液晶表示装置において、前記液晶表示制御手段が、内部制御信号を発生する内部制御信号発生回路と、本体コンピュータから入力される制御信号の停止、あるいは、異常入力を検出する制御信号停止・異常入力検出手段と、前記本体コンピュータから入力される制御信号と前記内部制御信号発生回路から出力される内部制御信号とが入力され、常時前記本体コンピュータから入力される制御信号を選択して出力し、前記制御信号停止・異常入力検出手段で前記本体コンピュータから入力される制御信号の停止、あるいは、異常入力を検出したときに内部制御信号を選択して出力する内部制御信号選択手段とを備えることを特徴とする液晶表示装置。

【請求項3】 前記制御信号が、水平同期信号であることを特徴とする請求項2に記載された液晶表示装置。

【請求項4】 前記制御信号が、垂直同期信号であることを特徴とする請求項2に記載された液晶表示装置。

【請求項5】 前記制御信号が、ディスプレイタイミング信号であることを特徴とする請求項2に記載された液晶表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、液晶表示装置に係わり、特に、本体コンピュータからクロック等の制御信号が入力される液晶表示装置に適用して有効な技術に関する。

【0002】

【従来の技術】 従来、液晶表示装置の1つとして、液晶表示モジュールが知られている。

【0003】 図6は、従来のTFT (Thin Film Transistor) 方式の液晶表示モジュールの概略構成を示すブロック図である。

【0004】 図6において、TFT-LCDはTFT液

晶表示パネル、500はインタフェース部、510は表示制御装置、520は電源部、521は正電圧生成回路、522は負電圧生成回路、523はコモン電極（対抗電極）電圧生成回路、524はゲート電極電圧生成回路、525はマルチプレクサ、530はドレインドライバ、531、532、541は信号線、533は表示データのデータバス、540はゲートドライバである。

【0005】 図6に示すTFT方式の液晶表示モジュールにおいては、TFT液晶表示パネル（TFT-LCD）の上側にドレインドライバ530が配置され、また、TFT液晶表示パネル（TFT-LCD）の側面部には、ゲートドライバ540、インタフェース部500が配置される。

【0006】 インタフェース部500はインタフェース基板に実装され、また、ドレインドライバ530、ゲートドライバ540も、それぞれ専用のプリント基板に実装される。

【0007】 図6に示すTFT液晶表示パネル（TFT-LCD）は、マトリックス状に配置された薄膜トランジスタ（TFT）を有し、前記薄膜トランジスタ（TFT）は、隣接する2本のドレイン信号線（D）と、隣接する2本のゲート信号線（G）との交差領域内に配置される。

【0008】 列方向の薄膜トランジスタ（TFT）のドレイン電極は、それぞれ、ドレイン信号線（D）に接続され、行方向の薄膜トランジスタ（TFT）のゲート電極は、それぞれゲート信号線（G）に接続される。

【0009】 薄膜トランジスタTFTのソース電極は画素電極に接続され、画素電極とコモン電極（対向電極）との間に液晶層が挟持される。

【0010】 薄膜トランジスタTFTは、ゲート電極に正のバイアス電圧を印加すると導通し、ゲート電極に負のバイアス電圧を印加すると不導通になる。

【0011】 ここで、図6に示す液晶表示パネル（TFT-LCD）は、640×3×480画素から構成される。

【0012】 図6に示すTFT方式の液晶表示モジュールにおいて、インタフェース部500は、表示制御装置510と電源部520とから構成される。

【0013】 表示制御装置510は、1個の半導体集積回路（LSI）から構成され、本体コンピュータから送信されてくるクロック、ディスプレイタイミング信号、水平同期信号、垂直同期信号の各制御信号、表示用データを基に、ドレインドライバ530、および、ゲートドライバ540を制御・駆動する。

【0014】 また、電源部520は、正電圧生成回路521、負電圧生成回路522、コモン電極（対抗電極）電圧生成回路523、ゲート電極電圧生成回路524、マルチプレクサ525から構成される。

【0015】 正電圧生成回路521、負電圧生成回路5

22は、それぞれ直列抵抗分圧回路で構成され、正電圧の階調階調基準電圧、あるいは、負電圧の階調階調基準電圧を生成する。

【0016】また、マルチプレクサ525は、表示制御装置510からの交流化タイミング信号に応じて、正電圧生成回路521、あるいは、負電圧生成回路522からの出力電圧を切り替えてドレインドライバ530に出力する。

【0017】また、コモン電極（対抗電極）電圧生成回路523はコモン電極に印加する駆動電圧を、ゲート電極電圧生成回路524は、薄膜トランジスタ（TFT）のゲートに印加する駆動電圧を生成する。

【0018】図7は、図6に示す本体コンピュータからの表示制御信号および表示制御装置510で生成する表示制御信号のタイミングチャートを示す図である。

【0019】表示制御装置510は、ディスプレイタイミング信号が入力されると、これを表示開始位置と判断し、信号線532を介してスタートパルスを出力するとともに、受け取った単純1列の表示データを、データバス533を介してドレインドライバ530に出力する。

【0020】その際に、信号線531を介して、ドレインドライバ530のラッチクロックとして、クロック（D2）を合わせて出力する。

【0021】この場合に、本体コンピュータからの表示データは、1画素単位、即ち、赤（R）、緑（G）、青（B）の各データを1つの組にして単位時間毎に転送する。

【0022】ここで、表示データは、各色毎4ビットの12ビット、あるいは、各色毎6ビットの18ビットで構成されている。

【0023】この場合、ドレインドライバ530の前段のキャリア出力は、そのまま次段のドレインドライバ530のキャリア入力に入力され、このキャリア信号によりドレインドライバ530のデータラッチ部のラッチ動作が制御され、誤った表示データがデータラッチ部に書き込まれるのを防止している。

【0024】また、表示制御装置510は、ディスプレイタイミング信号の入力が終了するか、または、ディスプレイタイミング信号が入力されてから所定の一定時間が過ぎると、1水平分の表示データが終了したものととして、ドレインドライバ530のラッチ回路に蓄えていた表示データを薄膜トランジスタ（TFT）のドレイン線に出力するための表示制御信号であるクロック（D1）を信号線531を介してドレインドライバ530に出力する。

【0025】また、表示制御装置510は、水平同期信号に基づいて、1水平走査時間毎に、順次TFT液晶表示パネル（TFT-LCD）の各ゲート信号線（G）に正のバイアス電圧を印加するように、信号線541を介してゲートドライバ540へ1水平走査時間周期のシフ

トクロックであるクロック（G1）を出力する。

【0026】これにより、TFT液晶表示パネル（TFT-LCD）の各ゲート信号線（G）に接続された複数の薄膜トランジスタ（TFT）が、1水平走査時間の間導通する。

【0027】さらに、表示制御装置510は、垂直同期信号入力後に、第1番目のディスプレイタイミング信号が入力されると、これを第1番目の表示ラインと判断して信号線541を介してゲートドライバ540にフレーム開始指示信号を出力する。

【0028】また、表示制御装置510は、液晶層に長時間同じ電圧（直流電圧）が印加されないように、ある一定時間毎に液晶層に印加する駆動電圧を交流化するための交流化タイミング信号を、電源部520へ出力する。

【0029】ここで、交流化とは、コモン電極（対抗電極）の駆動電圧を基準にして、ドレインドライバ530に入力する階調基準電圧、即ち、液晶層の画素電極に印加する駆動電圧を、一定時間毎に正電圧側/負電圧側に變化させること意味する。

【0030】

【発明が解決しようとする課題】一般に、液晶層は、長時間同じ電圧（直流電圧）が印加されていると、液晶層の傾きが固定化され、結果として残像現象を引き起こし、液晶層の寿命を縮めることになる。

【0031】これを防止するために、従来の液晶表示装置においては、前記図6に示すTFT方式の液晶表示モジュールのように、液晶層に印加する駆動電圧をある一定時間毎に交流化するようにしている。

【0032】そして、前記交流化の方式としては種々の方式が知られているが、最も多く用いられている方式は、1フレーム時間単位毎および1ライン時間単位毎に交流化を行う方式である。

【0033】図8は、1ライン時間単位毎および1フレーム時間単位毎に交流化を行う方式の交流化タイミング信号発生回路の一例の回路構成を示す図である。

【0034】図8において、601、602、603はD型フリップ・フロップ回路、604はノア回路、605は排他的論理和回路、606はR-S型フリップ・フロップ回路である。

【0035】図8に示す交流化タイミング信号発生回路において、D型フリップ・フロップ回路601は、その反転出力端子（バーQ）とデータ入力端子（D）とが接続されているので、D型フリップ・フロップ回路601のクロック入力端子（CK）に垂直同期信号が入力される毎に、その出力端子（Q）から「Hレベル」あるいは「Lレベル」を交互に出力する。

【0036】また、D型フリップ・フロップ回路602の出力端子（Q）の出力とR-S型フリップ・フロップ回路606の出力端子（Q）の出力とがノア回路604

に入力され、ノア回路604の出力がD型フリップ・フロップ回路602のデータ入力端子(D)に入力される。

【0037】ここで、R-S型フリップ・フロップ回路606は、セット端子に垂直同期信号が入力されるので、垂直同期信号が入力されると、R-S型フリップ・フロップ回路606は、その出力端子(Q)から「Hレベル」を出力し、ノア回路604の出力が「Lレベル」となる。

【0038】したがって、垂直同期信号が入力された後で、D型フリップ・フロップ回路602のクロック入力端子(CK)に、最初のディスプレイタイミング信号が入力されると、D型フリップ・フロップ回路602の出力端子(Q)は「Lレベル」、また、D型フリップ・フロップ回路602の反転出力端子(バーQ)の出力は「Hレベル」となる。

【0039】また、R-S型フリップ・フロップ回路606は、リセット端子にD型フリップ・フロップ回路602の反転出力端子(バーQ)の出力が入力されるので、D型フリップ・フロップ回路602の反転出力端子(バーQ)が「Hレベル」になると、R-S型フリップ・フロップ回路606はリセットされる。

【0040】R-S型フリップ・フロップ回路606はリセットされると、その出力端子(Q)から「Lレベル」を出力する。

【0041】ここで、ノア回路604は、一方の入力端子に「Lレベル」が入力されると、他方の入力端子に入力されるD型フリップ・フロップ回路602の出力端子(Q)の出力の反転出力を、その出力端子から出力する。

【0042】したがって、D型フリップ・フロップ回路602のクロック入力端子(CK)にディスプレイタイミング信号が入力される毎に、その反転出力端子(バーQ)から「Hレベル」あるいは「Lレベル」を交互に出力する。

【0043】また、D型フリップ・フロップ回路601の出力端子(Q)の出力、および、D型フリップ・フロップ回路602の反転出力端子(バーQ)の出力は、排他的論理和回路605に入力され、さらに、排他的論理和回路605の出力は、D型フリップ・フロップ回路603のデータ入力端子(D)に入力される。

【0044】この場合、D型フリップ・フロップ回路601の出力端子(Q)の出力が「Hレベル」のときは、D型フリップ・フロップ回路602の反転出力端子(バーQ)からの出力が、排他的論理和回路605で反転されてD型フリップ・フロップ回路603のデータ入力端子(D)に入力され、また、D型フリップ・フロップ回路601の出力端子(Q)の出力が「Lレベル」のときは、D型フリップ・フロップ回路602の反転出力端子(バーQ)からの出力が、そのままD型フリップ・フロ

ップ回路603のデータ入力端子(D)に入力される。

【0045】また、D型フリップ・フロップ回路603は、そのクロック入力端子(CK)にドレインドライバとの同期クロックが入力される毎に、その出力端子(Q)から交流化タイミング信号を出力する。

【0046】したがって、図8に示す交流化タイミング信号発生回路においては、D型フリップ・フロップ回路602のクロック入力端子(CK)にディスプレイタイミング信号が入力される毎、および、D型フリップ・フロップ回路601のクロック入力端子(CK)に垂直同期信号が入力される毎に、交流化タイミング信号が「Hレベル」あるいは「Lレベル」に変化する。

【0047】図8を用いて説明したように、前記交流化は、本体コンピュータから入力されるディスプレイタイミング信号、水平同期信号、垂直同期信号の各制御信号に基づいて、交流化の切り替え時期を決定している。

【0048】さらに、本体コンピュータからのクロックが停止すると、ドレインドライバ530、ゲートドライバ540にクロックが印加されない。

【0049】そのため、仮に、本体コンピュータからのクロック、ディスプレイタイミング信号、水平同期信号、垂直同期信号の制御信号の1部あるいは全部が停止すると、液晶表示装置の内部の回路が正常に動作しなくなり、液晶表示パネル(TFT-LCD)の液晶層を駆動する駆動電圧あるいはタイミング信号が生成されなくなる。

【0050】それにより、液晶表示パネル(TFT-LCD)の液晶層の交流駆動を行うことができず、液晶層に直流成分が強くかかり、結果として、液晶表示パネル(TFT-LCD)に残像現象が生じるばかりでなく、液晶層の寿命を縮めてしまうという問題点があった。

【0051】また、本体コンピュータから入力される各制御信号が異常入力、例えば、本来のタイミングよりかなり短いタイミングとなると、液晶層を駆動する駆動タイミングが異常となって、液晶表示パネル(TFT-LCD)上に何も画像が表示されず、さらに、交流化の周期が異なって、結果として、液晶層に残像現象が生じるばかりでなく、液晶層の寿命を縮めてしまうという問題点があった。

【0052】そのため、従来の液晶表示装置の中には、表示制御装置510の内部にカウンタ回路を備え、垂直同期信号および水平同期信号が本体コンピュータから入力されない場合に、前記カウンタ回路のオーバー・フロー(キャリア・アップ)を利用して、ダミーの垂直同期信号および水平同期信号を生成するようにしているものも知られている。

【0053】しかしながら、前記ダミーの垂直同期信号および水平同期信号を生成するようにした従来の液晶表示装置においても、液晶表示パネル(TFT-LCD)を駆動するための中核となっているクロックの停止、あ

るいは、その他の制御信号の停止に対する処理は、何等行っていない。

【0054】まして、本体コンピュータから液晶表示装置に入力される各制御信号が、異常なタイミングとなったときの処理については、何等行っていない。

【0055】本発明は、前記従来技術の問題点を解決するためになされたものであり、本発明の目的は、液晶表示装置において、本体コンピュータから入力される制御信号が、停止あるいは異常入力となった場合に、液晶層に直流電圧が印加されるのを防止することが可能となる技術を提供することにある。

【0056】本発明の前記目的並びにその他の目的及び新規な特徴は、本明細書の記載及び添付図面によって明らかにする。

【0057】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記の通りである。

【0058】(1) 本体コンピュータから入力されるクロックに基づき、液晶層に印加する電圧を制御して液晶表示パネルに画像を表示する表示制御手段を具備する液晶表示装置において、前記液晶表示制御手段が、内部クロックを発生する内部クロック発生回路と、本体コンピュータから入力されるクロックの停止を検出するクロック停止検出手段と、前記本体コンピュータから入力されるクロックと前記内部クロック発生回路から出力される内部クロックとが入力され、常時前記本体コンピュータから入力されるクロックを選択して出力し、前記クロック停止検出手段で前記本体コンピュータから入力されるクロックの停止を検出したときに内部クロックを選択して出力する内部クロック選択手段とを備えることを特徴とする。

【0059】(2) 本体コンピュータから入力される制御信号に基づき、液晶層に印加する電圧を制御して液晶表示パネルに画像を表示する表示制御手段を具備する液晶表示装置において、前記液晶表示制御手段が、内部制御信号を発生する内部制御信号発生回路と、本体コンピュータから入力される制御信号の停止、あるいは、異常入力を検出する制御信号停止・異常入力検出手段と、前記本体コンピュータから入力される制御信号と前記内部制御信号発生回路から出力される内部制御信号とが入力され、常時前記本体コンピュータから入力される制御信号を選択して出力し、前記制御信号停止・異常入力検出手段で前記本体コンピュータから入力される制御信号の停止、あるいは、異常入力を検出したときに内部制御信号を選択して出力する内部制御信号選択手段とを備えることを特徴とする。

【0060】

【作用】前記(1) 手段によれば、本体コンピュータからクロックが入力される液晶表示装置において、内部ク

ロックを発生する内部クロック発生回路を備え、クロック停止検出手段で記本体コンピュータから入力されるクロックの停止を検出したときに、内部クロック選択手段で内部クロックを選択して出力する。

【0061】これにより、本体コンピュータからのクロックが停止した場合でも、内部クロックに基づいて液晶層に印加する電圧を制御することが可能となり、本体コンピュータから入力されるクロックの停止により液晶層に直流電圧が印加されるのを防止することが可能となる。

【0062】前記(2) 手段によれば、本体コンピュータから制御信号が入力される液晶表示装置において、内部制御信号を発生する内部制御信号発生回路を備え、制御信号停止・異常入力検出手段で本体コンピュータから入力される制御信号の停止、あるいは、異常入力を検出したときに、内部制御信号選択手段で内部制御信号を選択して出力する。

【0063】これにより、本体コンピュータからの制御信号が停止、あるいは、異常入力となった場合でも、内部制御信号に基づいて液晶層に印加する電圧を制御することが可能となり、本体コンピュータから入力される制御信号の停止、あるいは、異常入力により液晶層に直流電圧が印加されるのを防止することが可能となる。

【0064】

【実施例】以下、本発明をTFT方式の液晶表示モジュールに適用した場合の実施例を図面を参照して詳細に説明する。

【0065】なお、実施例を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

【0066】また、以下の実施例で説明するTFT方式の液晶表示モジュールの構成は、前記図6に示す従来のTFT方式の液晶表示モジュールの構成と同じであるのでその詳細な説明は省略する。

【0067】〔実施例1〕本実施例1は、液晶表示モジュールの表示制御装置510の内部に内部クロック発生回路を備え、本体コンピュータから液晶表示モジュールに入力されるクロックが停止した場合に、表示制御装置510の内部クロック発生回路からの内部クロックを使用するようにした実施例である。

【0068】図1は、本発明の一実施例(実施例1)である液晶表示モジュールにおける表示制御装置510の内部に備えられるクロック停止検出、および、クロック切り替え回路の回路構成を示す図である。

【0069】図1において、101、102は積分回路、111、112はインバータ、121、122、123、124はナンド回路、131、132はシュミットトリガ方式のインバータ、140は発振器である。

【0070】ここで、インバータ(122、123、124)と、インバータ112とは、クロック選択回路を

構成する。

【0071】図1に示すクロック停止検出・クロック切り替え回路において、積分回路A(101)が、本体コンピュータから入力されるクロックの立上りからの「Hレベル」期間を検出する。

【0072】クロックの立上りから、「Hレベル」期間が長時間続いた場合には、積分回路A(101)の出力が「Hレベル」に固定されるので、この状態をクロック停止状態と判断する。

【0073】また、積分回路B(102)が、インバータ111で反転されたクロックの立上りからの「Hレベル」期間を検出することにより、本体コンピュータから入力されるクロックの立下りからの「Lレベル」期間を検出する。

【0074】クロックの立下りから、「Lレベル」期間が長時間続いた場合には、積分回路B(102)の出力が「Hレベル」に固定されるので、この状態をクロック停止状態と判断する。

【0075】ここで、クロックの停止状態を検出する検出時定数は、ほぼ $\tau = CR$ とする。

【0076】積分回路A(101)あるいは積分回路B(102)の出力が「Hレベル」に固定されると、インバータ131あるいはインバータ132の出力が「Lレベル」となり、その「Lレベル」がナンド回路121の一方の入力端子に入力されるので、ナンド回路121が「Hレベル」に固定される。

【0077】なお、インバータ131あるいはインバータ132は、ノイズによる影響を防止するために設けられたものであり、ノイズの影響がない場合には必要なく、その場合、積分回路A(101)あるいは積分回路B(102)の出力をオア回路を介してクロック選択回路に入力すればよい。

【0078】ナンド回路121が「Hレベル」に固定されると、インバータ112の出力が「Lレベル」となり、その「Lレベル」がナンド回路122の一方の入力端子に入力されるので、ナンド回路122が「Hレベル」に固定され、本体コンピュータからのクロックは阻止される。

【0079】また、ナンド回路121、および、ナンド回路122が、「Hレベル」に固定されると、内部クロック発生回路である発振器140からの内部クロックが、ナンド回路123、および、ナンド回路124を通じて出力される。

【0080】また、本体コンピュータからのクロックが停止した後に、本体コンピュータからのクロックが正常に復帰した場合には、積分回路A(101)あるいは積分回路B(102)の出力が「Lレベル」になり、これにより、クロック選択回路は本体コンピュータからのクロックを選択する。

【0081】なお、クロック選択回路は、図1に示す回

路構成に限定されるものではなく、マルチプレクサ、あるいは、図2に示すような回路構成のクロック選択回路を用いることも可能である。

【0082】図2(a)に示すクロック選択回路は、本体コンピュータからのクロックと、インバータ111で反転されたナンド回路121の出力とをアンド回路151に inputs し、また、発振器140からの出力と、ナンド回路121の出力とをアンド回路152に inputs し、さらに、アンド回路151の出力とアンド回路152の出力とをオア回路161に inputs するようにしたものである。

【0083】また、図2(a)に示すクロック選択回路は、本体コンピュータからのクロックと、ナンド回路121の出力とをノア回路171に inputs し、また、発振器140からの出力と、インバータ111で反転されたナンド回路121の出力とをノア回路172に inputs し、さらに、ノア回路171の出力とノア回路172の出力とをノア回路173に inputs するようにしたものである。

【0084】本実施例1によれば、本体コンピュータからのクロックが停止した場合でも、内部クロックに基づいてTFT方式の液晶表示パネル(TFT-LCD)を駆動することが可能となり、本体コンピュータから入力されるクロックの停止により液晶層に直流電圧が印加されるのを防止することが可能となる。

【0085】〔実施例2〕本実施例2は、液晶表示モジュールの表示制御装置510の内部に内部水平同期信号発生回路を備え、本体コンピュータから液晶表示モジュールに入力される水平同期信号が停止、あるいは、異常となった場合に、表示制御装置510の内部水平同期信号発生回路からの内部水平同期信号を使用するようにした実施例である。

【0086】図3は、本発明の他の実施例(実施例2)である液晶表示モジュールにおける表示制御装置510の内部に備えられる水平同期信号停止・異常入力検出回路、および、内部水平同期信号生成回路の回路構成を示す図である。

【0087】図3において、201はディレイ回路、211、212はカウンタ回路、231は1水平時間のクロック数、241はデコード回路、251は比較回路、261はオア回路、271はマルチプレクサである。

【0088】図3に示す回路において、カウンタ回路211は本体コンピュータから入力されるクロックをカウントし、ディレイ回路201により遅延された水平同期信号によりクリアされる。

【0089】ここで、カウンタ回路211は、水平同期信号が入力されないと、オーバーフロー状態となり、クリアされるとともにキャリー信号を出力する。

【0090】レジスタ221は、水平同期信号が入力されると、カウンタ回路211のカウンタ値を保持する。

【0091】また、カウンタ回路212は、本体コンピュータから入力されるクロックをカウントし、そのカウ

ント値をデコード回路241に出力する。

【0092】ここで、カウンタ回路212は所定数のカウント数に到達すると、カウント値が0にクリアされる。

【0093】デコード回路241は、カウンタ回路212からのカウント値が所定のカウント値以上の値になったときに、「Hレベル」の信号、即ち、内部水平同期信号を出力する。

【0094】始めに、本実施例2において、本体コンピュータから液晶表示モジュールに水平同期信号が入力されない場合について説明する。

【0095】前記した如く、水平同期信号が入力されない、カウンタ回路211がオーバーフロー状態となり、このカウンタ回路211がオーバーフロー状態となったときを、水平同期信号の停止と判断する。

【0096】水平同期信号の停止と判断した場合には、カウンタ回路211のオーバーフローに伴うキャリア信号をオア回路261に inputs し、ダミーの水平同期信号としてマルチプレクサ271から出力する。

【0097】次に、本実施例2において、本体コンピュータから液晶表示モジュールに入力される水平同期信号が異常入力の場合について説明する。

【0098】前記レジスタ221の値(a)と、ROM等に記憶してある1水平時間当たりのクロック数(b)とを、比較回路251で比較する。

【0099】ここで、1水平時間当たりのクロック数(b)は、例えば、1ライン当たりの表示画素数である。

【0100】比較回路251での比較結果が $a=b$ あるいは $a>b$ のときには、比較回路251の比較結果 $a<b$ は「Lレベル」となり、マルチプレクサ271は、オア回路261を通過した本体コンピュータからの水平同期信号を選択する。

【0101】比較回路251での比較結果が $a<b$ のときには、比較回路251の比較結果 $a<b$ は「Hレベル」となり、マルチプレクサ271は、本体コンピュータからの水平同期信号を阻止し、デコード回路241からの内部水平同期信号を選択する。

【0102】また、本体コンピュータからの水平同期信号が停止あるいは異常入力となった後に、本体コンピュータからの水平同期信号が正常に復帰した場合には、比較回路251の比較結果 $a<b$ は「Lレベル」となり、これにより、マルチプレクサ271は本体コンピュータからの水平同期信号を選択する。

【0103】図3に示す回路において、内部水平同期信号では、入力されるディスプレイタイミング信号との関連性が保たれないが想定されるので、ディスプレイタイミング信号も表示制御装置510の内部で生成するようにしてもよい。

【0104】なお、カウンタ回路211のオーバーフ

ーに伴うキャリア信号と、比較回路251での比較結果が $a<b$ のときの出力とを、オア回路に inputs し、水平同期信号が停止状態となったときに、デコード回路241からの内部水平同期信号をマルチプレクサ271から出力するようにしてもよい。

【0105】さらに、比較回路251での比較結果が $a>b$ のときにも、本体コンピュータからの水平同期信号を阻止し、デコード回路241からの内部水平同期信号を選択するようにしてもよい。

【0106】本実施例2によれば、本体コンピュータからの水平同期信号が停止、あるいは、異常入力となった場合でも、内部水平同期信号に基づいてTFT方式の液晶表示パネル(TFT-LCD)を駆動することが可能となり、本体コンピュータから入力される水平同期信号の停止あるいは異常入力により液晶層に直流電圧が印加されるのを防止することが可能となる。

【0107】〔実施例3〕本実施例3は、液晶表示モジュールの表示制御装置510の内部に内部垂直同期信号発生回路を備え、本体コンピュータから液晶表示モジュールに入力される垂直同期信号が停止、あるいは、異常となった場合に、表示制御装置510の内部垂直同期信号発生回路からの内部垂直同期信号を使用するようにした実施例である。

【0108】図4は、本発明の他の実施例(実施例3)である液晶表示モジュールにおける表示制御装置510の内部に備えられる垂直同期信号停止・異常入力検出回路、および、内部垂直同期信号生成回路の回路構成を示す図である。

【0109】図4において、301はディレイ回路、311、312はカウンタ回路、331は1垂直時間のクロック数、341はデコード回路、351は比較回路、361はオア回路、371はマルチプレクサである。

【0110】図4に示す回路において、カウンタ回路311は本体コンピュータから入力されるクロックをカウントし、ディレイ回路301により遅延された垂直同期信号によりクリアされる。

【0111】ここで、カウンタ回路311は、垂直同期信号が入力されない、オーバーフロー状態となり、クリアされるとともにキャリア信号を出力する。

【0112】レジスタ321は、垂直同期信号が入力されると、カウンタ回路311のカウント値を保持する。

【0113】また、カウンタ回路312は、本体コンピュータから入力されるクロックをカウントし、そのカウント値をデコード回路341に出力する。

【0114】ここで、カウンタ回路312は所定数のカウント数に到達すると、カウント値が0にクリアされる。

【0115】デコード回路341は、カウンタ回路312からのカウント値が所定のカウント値以上の値になったときに、「Hレベル」の信号、即ち、内部垂直同期信

号を出力する。

【0116】始めに、本実施例3において、本体コンピュータから液晶表示モジュールに垂直同期信号が入力されない場合について説明する。

【0117】前記した如く、垂直同期信号が入力されないと、カウンタ回路311がオーバーフロー状態となり、このカウンタ回路311がオーバーフロー状態となったときを、垂直同期信号の停止と判断する。

【0118】垂直同期信号の停止と判断した場合には、カウンタ回路311のオーバーフローに伴うキャリア信号をオア回路361に入力し、ダミーの垂直同期信号としてマルチプレクサ371から出力する。

【0119】次に、本実施例3において、本体コンピュータから液晶表示モジュールに入力される垂直同期信号が異常入力の場合について説明する。

【0120】前記レジスタ321の値(a)と、ROM等に記憶してある1表示画面(フレーム)当たりのライン数(b)とを、比較回路351で比較する。

【0121】比較回路351での比較結果が $a=b$ あるいは $a>b$ のときには、比較回路351の比較結果 $a<b$ は「Lレベル」となり、マルチプレクサ371は、オア回路361を通過した本体コンピュータからの垂直同期信号を選択する。

【0122】比較回路351での比較結果が $a<b$ のときには、比較回路351の比較結果 $a<b$ は「Hレベル」となり、マルチプレクサ371は、本体コンピュータからの垂直同期信号を阻止し、デコード回路341からの内部垂直同期信号を選択する。

【0123】また、本体コンピュータからの垂直同期信号が停止あるいは異常入力となった後に、本体コンピュータからの垂直同期信号が正常に復帰した場合には、比較回路351の比較結果 $a<b$ は「Lレベル」となり、これにより、マルチプレクサ371は本体コンピュータからの垂直同期信号を選択する。

【0124】なお、カウンタ回路311のオーバーフローに伴うキャリア信号と、比較回路351での比較結果が $a<b$ のときの出力とを、オア回路に入力し、垂直同期信号が停止状態となったときに、マルチプレクサ371が、デコーダ回路341からの内部垂直同期信号を選択するようにしてもよい。

【0125】さらに、比較回路351での比較結果が $a>b$ のときにも、本体コンピュータからの水平同期信号を阻止し、デコード回路241からの内部水平同期信号を選択するようにしてもよい。

【0126】本実施例3によれば、本体コンピュータからの垂直同期信号が停止、あるいは、異常入力となった場合でも、内部垂直同期信号に基づいてTFT方式の液晶表示パネル(TFT-LCD)を駆動することが可能となり、本体コンピュータから入力される垂直同期信号の停止あるいは異常入力により液晶層に直流電圧が印加

されるのを防止することが可能となる。

【0127】〔実施例4〕本実施例4は、液晶表示モジュールの表示制御装置510の内部に内部ディスプレイタイミング信号発生回路を備え、本体コンピュータから液晶表示モジュールに入力されるディスプレイタイミング信号が停止、あるいは、異常となった場合に、表示制御装置510の内部ディスプレイタイミング信号発生回路からの内部ディスプレイタイミング信号を使用するようにした実施例である。

【0128】図5は、本発明の他の実施例(実施例4)である液晶表示モジュールにおける表示制御装置510の内部に備えられるディスプレイタイミング信号停止・異常入力検出回路、および、内部ディスプレイタイミング信号生成回路の回路構成を示す図である。

【0129】図5において、401、402はディレイ回路、411、412、413、414はカウンタ回路、431は1水平ライン当たりの表示画素数、432は1表示画面当たりの表示ライン数、441、442はデコード回路、451、452は比較回路、461はオア回路、471はマルチプレクサ、481、482はアンド回路、491、492はインバータである。

【0130】図5に示す回路において、本体コンピュータからのディスプレイタイミング信号とクロックとは、アンド回路481に入力され、カウンタ回路411は、アンド回路481の出力をカウントし、ディレイ回路401により遅延された水平同期信号によりクリアされる。

【0131】また、カウンタ回路412は、本体コンピュータから入力されるディスプレイタイミング信号をカウントし、ディレイ回路402により遅延された垂直同期信号によりクリアされる。

【0132】また、レジスタ421は、水平同期信号が入力されると、カウンタ回路411のカウント値を保持し、また、レジスタ422は、垂直同期信号が入力されると、カウンタ回路412のカウント値を保持する。

【0133】また、カウンタ回路413は、本体コンピュータから入力されるクロックをカウントし、そのカウント値をデコード回路441に出力する。

【0134】デコード回路441は、カウンタ回路413からのカウント値が所定のカウント値以上の値になったときに、「Hレベル」の信号を出力する。

【0135】また、カウンタ回路414は、本体コンピュータから入力される水平同期信号をカウントし、そのカウント値をデコード回路442に出力する。

【0136】デコード回路442は、カウンタ回路414からのカウント値が所定のカウント値以上の値になったときに、「Hレベル」の信号を出力する。

【0137】デコード回路441の出力、および、デコード回路442の出力は、アンド回路481に入力され、アンド回路481の出力が、内部ディスプレイタイ

ミング信号となる。

【0138】ここで、カウンタ回路411、412、413、414は所定数のカウント数に到達すると、カウント値が0にクリアされる。

【0139】始めに、本実施例4において、本体コンピュータから液晶表示モジュールにディスプレイタイミング信号が入力されない場合について説明する。

【0140】本体コンピュータから液晶表示モジュールにディスプレイタイミング信号が入力されない場合には、例えば、カウンタ回路412の値が0となり、ディスプレイタイミング信号の停止と判断する。

【0141】この場合には、レジスタ回路422の値も0となり、前記レジスタ422の値(A)と、ROM等に記憶してある1表示画面当たりの表示ライン数(B)とを、比較回路451で比較すると、その比較結果はA<Bとなる。

【0142】したがって、比較回路452の比較結果A=Bが「Lレベル」、インバータ492の出力が「Hレベル」となり、マルチプレクサ471は、デコード回路441およびデコード回路442で生成された内部ディスプレイタイミング信号を選択する。

【0143】次に、本実施例4において、本体コンピュータから液晶表示モジュールに入力されるディスプレイタイミング信号が異常入力の場合について説明する。

【0144】ディスプレイタイミング信号の長さ(横方向の表示画素数)が異常の場合には、前記レジスタ421の値(a)と、ROM等に記憶してある1表示画面当たりの表示画素数(b)とを、比較回路451で比較すると、その比較結果がa<bあるいはa>bとなる。

【0145】したがって、比較回路451の比較結果路a=bは「Lレベル」、インバータ491の出力が「Hレベル」となり、マルチプレクサ471は、デコード回路441およびデコード回路442で生成された内部ディスプレイタイミング信号を選択する。

【0146】また、ディスプレイタイミング信号のパルス数(縦方向の表示ライン数)が異常の場合には、前記レジスタ422の値(A)と、ROM等に記憶してある1表示画面当たりの表示ライン数(B)とを、比較回路451で比較すると、その比較結果はA<BあるいはA>Bとなる。

【0147】したがって、比較回路452の比較結果路A=Bは「Lレベル」、インバータ492の出力が「Hレベル」となり、マルチプレクサ471は、デコード回路441およびデコード回路442で生成された内部ディスプレイタイミング信号を選択する。

【0148】また、本体コンピュータからのディスプレイタイミング信号が停止あるいは異常入力となった後に、本体コンピュータからのディスプレイタイミング信号が正常に復帰した場合には、比較回路451の比較結果路a=b、および、比較回路452の比較結果路A=

Bはともに「Hレベル」、インバータ491およびインバータ492の出力はともに「Lレベル」となり、これにより、マルチプレクサ471は本体コンピュータからのディスプレイタイミング垂直同期信号を選択する。

【0149】本実施例4によれば、本体コンピュータからのディスプレイタイミング信号が停止、あるいは、異常入力となった場合でも、内部ディスプレイタイミング信号に基づいてTFT方式の液晶表示パネル(TFT-LCD)を駆動することが可能となり、本体コンピュータから入力されるディスプレイタイミング信号の停止あるいは異常入力により液晶層に直流電圧が印加されるのを防止することが可能となる。

【0150】なお、前記各実施例は、誤動作における準回復処理であり、この処理によりTFT液晶表示パネル(TFT-LCD)上での表示画像が、正常な場合の表示画像と比べて異常な表示画像となることは確かである。

【0151】しかしながら、この異常な表示画像により、ユーザーに本体コンピュータからの制御信号が異常であることを分らせることができ、ユーザーは早急に修理等の対応することが可能となる。

【0152】また、前記各実施例では、本発明をTFT方式の液晶常時モジュールに適用した場合について説明したが、本発明はこれに限定されるものではなく、STN(Super Twisted Nematic)方式の液晶表示モジュールなど全ての液晶表示装置に適用できることは言うまでもない。

【0153】以上、本発明を実施例に基づき具体的に説明したが、本発明は、前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更し得ることは言うまでもない。

【0154】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。

【0155】(1)本発明によれば、本体コンピュータから入力されるクロック、ディスプレイタイミング信号、水平同期信号、垂直同期信号の各制御信号が、停止あるいは異常入力となっても、液晶表示装置の内部で各制御信号に対応するそれぞれの内部制御信号を生成するようにしたので、液晶層に常に交流化された駆動電圧を印加することが可能となる。

【0156】これにより、本体コンピュータから入力される各制御信号の停止あるいは異常入力により液晶層に直流電圧が印加されるのを防止することが可能となる。

【図面の簡単な説明】

【図1】本発明の一実施例(実施例1)である液晶表示モジュールにおける表示制御装置510の内部に備えられるクロック停止検出・クロック切り替え回路の回路構成を示す図である。

【図2】図1に示す選択回路の他の回路構成を示す図である。

【図3】本発明の他の実施例（実施例2）である液晶表示モジュールにおける表示制御装置510の内部に備えられる水平同期信号停止・異常入力検出回路、および、内部水平同期信号生成回路の回路構成を示す図である。

【図4】本発明の他の実施例（実施例3）である液晶表示モジュールにおける表示制御装置510の内部に備えられる垂直同期信号停止・異常入力検出回路、および、内部垂直同期信号生成回路の回路構成を示す図である。

【図5】本発明の他の実施例（実施例4）である液晶表示モジュールにおける表示制御装置510の内部に備えられるディスプレイタイミング信号停止・異常入力検出回路、および、内部ディスプレイタイミング信号生成回路の回路構成を示す図である。

【図6】従来のTFT（Thin Film Transistor）方式の液晶表示モジュールの概略構成を示すブロック図である。

【図7】図6に示す本体コンピュータからの表示制御信号および表示制御装置510で生成する表示制御信号のタイミングチャートを示す図である。

【図8】1ライン時間単位毎および1フレーム時間単位毎に交流化を行う方式の交流化タイミング信号発生回路の一例の回路構成を示す図である。

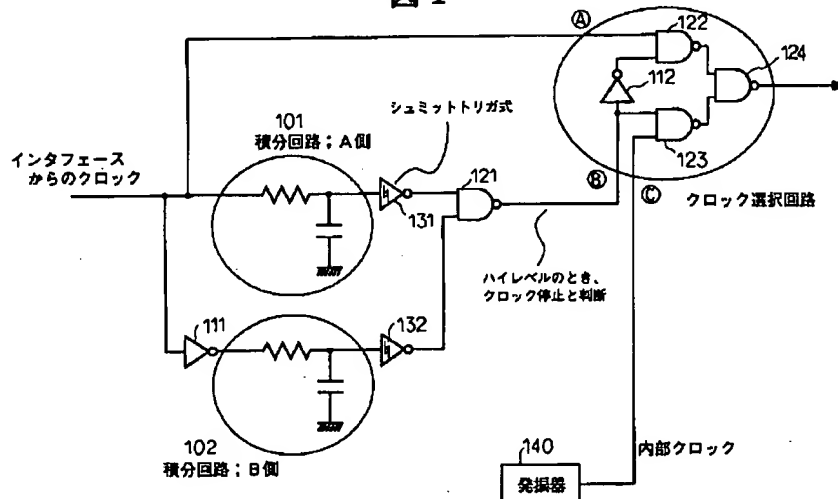
【符号の説明】

*

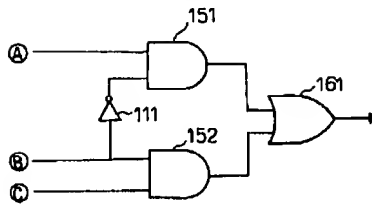
* 101, 102…積分回路、111, 112, 491, 492…インバータ、121, 122, 123, 124…ナンド回路、131, 132…シュミットトリガ方式のインバータ、140…発振器、151, 152, 481, 482…アンド回路、161, 261, 361, 461…オア回路、171, 172, 173, 604…ノア回路、201, 301, 401, 402…ディレイ回路、211, 212, 311, 312, 411, 412, 413, 414…カウンタ回路、231…1水平時間のクロック数、241, 341, 441, 442…デコード回路、251, 351, 451, 452…比較回路、271, 371, 471, 525…マルチプレクサ、331…1フレームのライン数、431…1水平ライン当たりの表示画素数、432…1表示画面当たりの表示ライン数、500…インタフェース部、510…表示制御装置、520…電源部、521…正電圧生成回路、522…負電圧生成回路、523…コモン電極（対抗電極）用電圧生成回路、524…ゲート電極電圧生成回路、530…ドレインドライバ、531, 532, 541…信号線、533…データバス、540…ゲートドライバ、601, 602, 603…D型フリップ・フロップ回路、605…排他的論理和回路、606…R-S型フリップ・フロップ回路、TFT-LCD…TFT液晶表示パネル。

【図1】

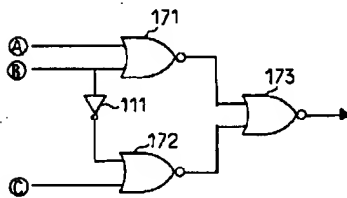
図1



【図2】

図2
(a)

(b)



【図3】

図3

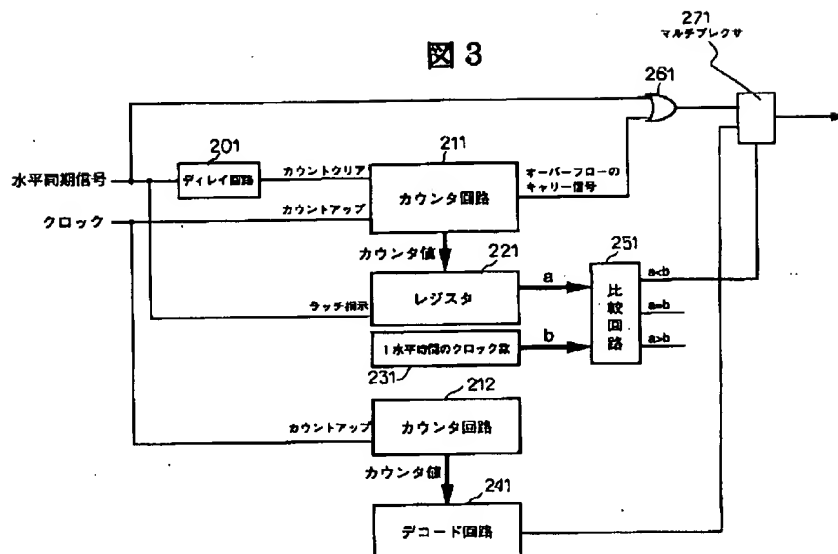


图 4

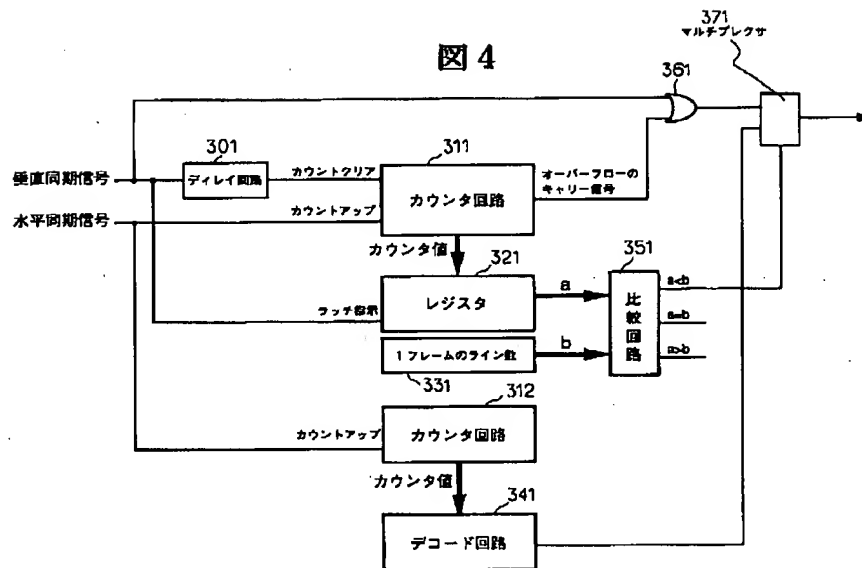
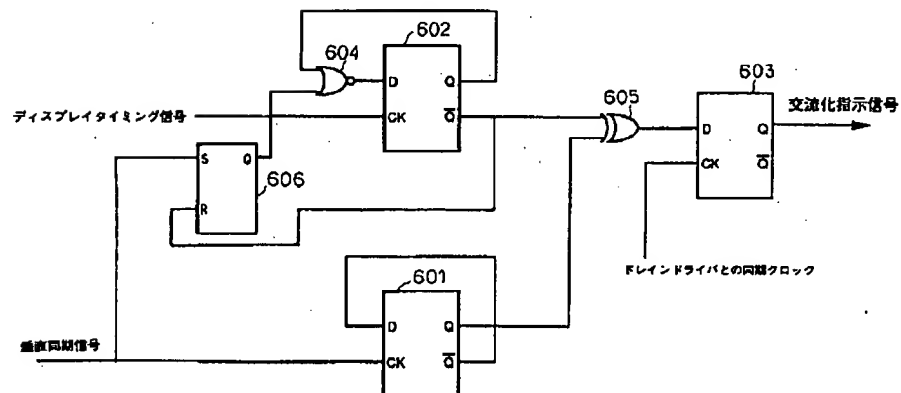
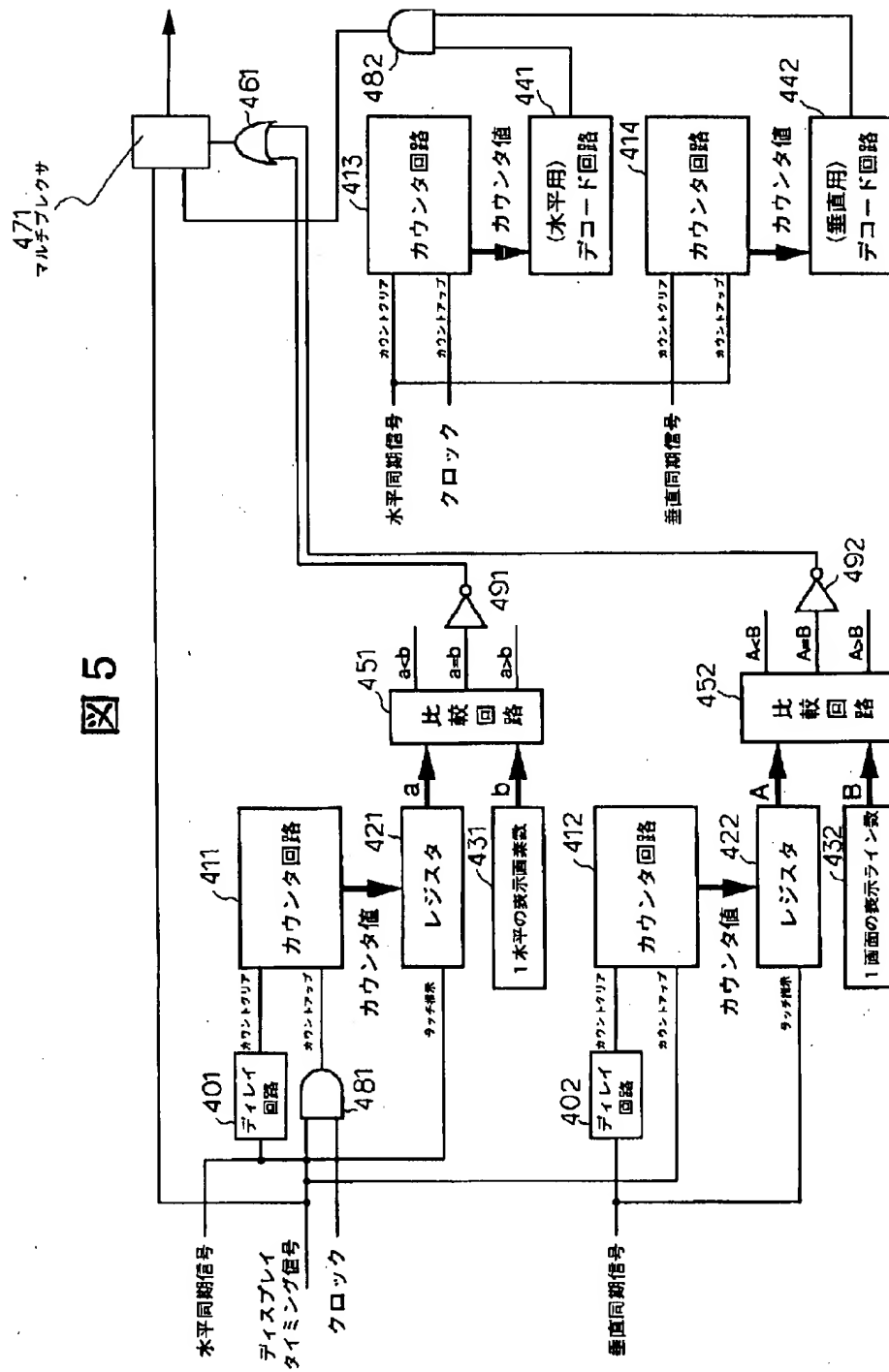


图 8

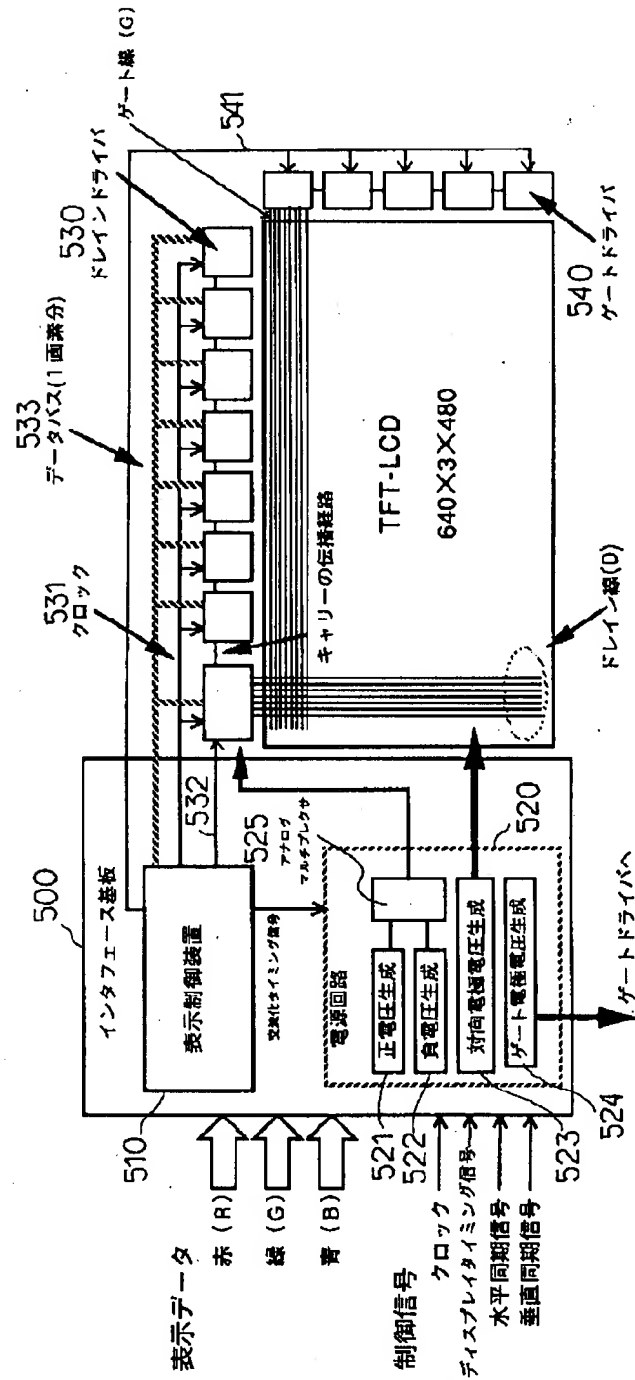


【図5】



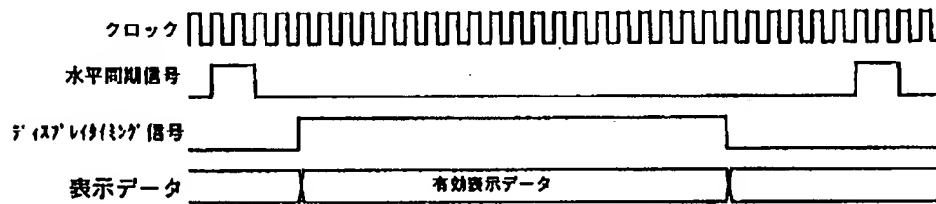
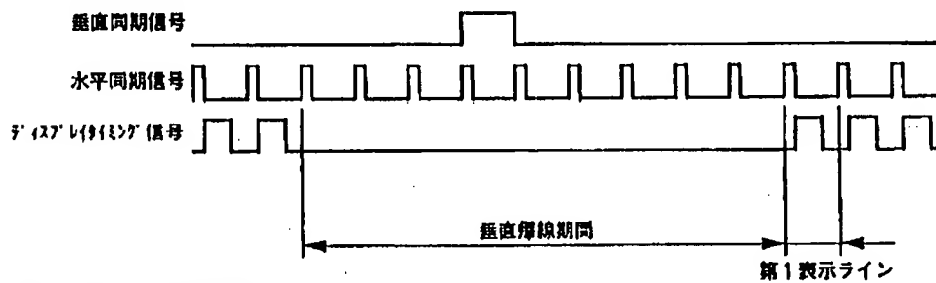
6

✕



【図7】

図 7

本体側からの信号ドレインドライバへの出力本体側からの信号ゲートドライバへの出力